

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13370

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.<sup>6</sup>

H 0 4 H 5/00

識別記号

庁内整理番号

F I

H 0 4 H 5/00

技術表示箇所

A

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平9-84178

(22) 出願日 平成9年(1997) 4月2日

(31) 優先権主張番号 特願平8-130882

(32) 優先日 平8(1996) 4月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 395003198

株式会社エスアイアイ・アールディセンタ  
ー

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 斉藤 豊

千葉県千葉市美浜区中瀬1丁目8番地 株  
式会社エスアイアイ・アールディセンタ  
ー内

(72) 発明者 尾崎 好栄

東京都目黒区鷹番1-6-19-207号

(72) 発明者 成川 利明

東京都大田区鶴の木2-41-8-203号

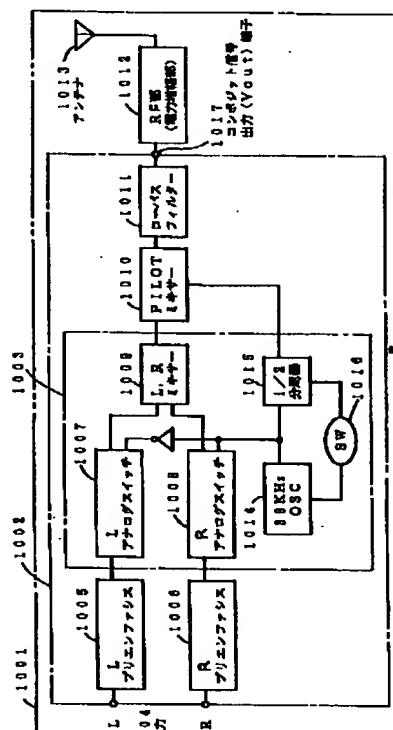
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 ステレオマルチプレクス回路及びそれを用いたFMステレオ変調器及び変調送信器

(57) 【要約】

【課題】 小型、低価格の信号変換効率の良い従って低  
電圧動作のFMステレオ変調送信器を実現する。

【解決手段】 FMステレオ変調送信器1001を構成  
するFMコンボジット信号発生器1002を実現するの  
にCMOS型アナログスイッチとCMOS型インバータ  
を使用した。



## 【特許請求の範囲】

【請求項1】 CMOS型インバータより構成される副搬送波発振回路部を有し、CMOS型インバータとCMOS型アナログスイッチとで構成される分周回路部を有し、ステレオ信号入力端子、すなわち左、右すなわちL、R入力端子を有し、該入力L、R端子はL、Rそれぞれ固有のCMOS型アナログスイッチを有し、すなわちL用アナログスイッチ、R用アナログスイッチを有すというもので、該L及びR用アナログスイッチのコントロール端子は該発振回路部よりLとRがそれぞれ排他的位相の信号を与えられるように接続された構成をとることを特徴とするステレオマルチプレクス回路。

【請求項2】 同一半導体基板内にCMOS型インバータより構成される副搬送波発振回路部を有し、CMOS型インバータとCMOS型アナログスイッチとで構成される分周回路部を有し、ステレオ信号入力端子、すなわち左、右すなわちL、R入力端子を有し、該入力L、R端子はL、Rそれぞれ固有のCMOS型アナログスイッチを有し、すなわちL用アナログスイッチ、R用アナログスイッチを有すというもので、該L及びR用アナログスイッチのコントロール端子は該発振回路部よりLとRがそれぞれ排他的位相の信号を与えられるように接続された構成をとるステレオマルチプレクス回路を形成する半導体集積回路装置。

【請求項3】 請求項1または2のステレオマルチプレクス回路を有し、前記L、R入力端子に直列に容量結合で接続されるプリエンファシス回路部を有し、PILLOTミキサー回路部を有するステレオ変調器。

【請求項4】 請求項3のステレオ変調器を有し、前記\*

1. メイン信号 (L信号+R信号) . . . . . 50Hz~15kHz
2. パイロット信号 (PILLOT信号) . . . 19kHz
3. サブ信号 (L信号-R信号) . . . . . 23kHz~53kHz

まずメイン信号の (L+R) というのはL信号とR信号の和信号でありしたがってモノフォニック信号 (モノラル信号) である。サブ信号とは、LとRの差信号であってLまたはRのどちらかの位相を逆にして合成すると出力には差成分が生じる。

【0004】これを (L-R) 信号という。こうして (L+R) と (L-R) という信号を作りだせばあとはこの二つの信号を混合回路によってそれぞれの和と差の信号を取り出すことによって

$$(L+R) + (L-R) = 2L$$

$$(L+R) - (L-R) = 2R$$

独立したLとRの信号を取り出すことができる。これがステレオ放送の原理である。

【0005】ところで、ここで (L-R) 信号を一つの電波に乗せるためパイロット信号である19kHzの2倍の周波数にあたる38kHzの搬送波をつくり、それを (L-R) の信号でAM変調するのであるが、(L-

\*PILLOTミキサー回路に直列に容量結合で接続されるRF回路部を有し、アンテナを有し、該RF回路部のRFパワーラインは定電圧にレギュレーションされた構成をとることを特徴とするステレオ変調送信器。

【請求項5】 該副搬送波発振回路部における該CMOSインバータは、基本構成たるPチャネル型MOSトランジスタおよびNチャネル型MOSトランジスタに加えて該Pチャネル型MOSトランジスタと電源端子 (+, プラス側) 間に第2のPチャネル型MOSトランジスタを有し、該Nチャネル型MOSトランジスタと接地端子 (-, マイナス側あるいはGND) 間に第2のNチャネル型MOSトランジスタを有する構成をとることを特徴とする請求項2記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はFMやAMによるステレオ電波の送信において、ステレオ信号のコンボジット信号の発生回路及びそれを含むステレオ変調送信器に関して特には新規のステレオマルチプレクス (MPX) 回路の構成とそれを半導体集積回路で実現する技術を提供するものである。

## 【0002】

【従来の技術】FMやAMによるステレオ信号電波の送信にはいくつかの方式があるがパイロット・トーン方式というのが主たる方式となっている。ステレオの場合、左 (Left, L) 信号と右 (Right, R) 信号とが必要であり、パイロット・トーン方式では次の三つの信号を同時に送信します。

## 【0003】

※して合成したものであるからその周波数帯域としては (L+R) 信号と同様、50Hz~15kHzのものである。これで38kHzの搬送波をAMするのであるから38kHzを中心にして±15kHzの幅を持って上、下側波帯が発生する。23kHzから53kHzのところに (L-R) 信号によってつくられたサブ信号の側波帯成分が並ぶことになる。

【0006】AM波を最終的に利用するのは側波成分である。AMの搬送波は変調するときと復調するときに必要なだけで空間を電波として飛ばすときには基本的には不要なものである。とは言うものの搬送波 ( $f_0$ ) は変調するときには不可欠なものであり、これがないと  $f_0$  を中心とした上、下側帯はできない。しかしいったん  $f_0$  を中心に作り出した側波帯は、その周波数自体、搬送波に近い周波数のものであるから、その搬送波が電波として空中に飛出させることができる程度の周波数であればそれによって作り出された側波帯も電波として使える

る。

【0007】したがって、搬送波のレベルをゼロに等しいくらいにおさえてしまってよいわけで、このことからこれを搬送波抑圧といいこのような方式のことをAM抑圧搬送波方式(AM Suppressed Carrier方式)という。この時側波帯として送るのは上・下両側波帯であるからDSB(Double Side Band)方式という。さて、搬送波のない側波帯のみを受けても、最初変調した時に使った搬送波と同じ信号がないと復調できない。つまり送信側で使った38kHzとまったく同じ周波数、位相の信号がいるわけで、それを受信器内で作り、送信側のもと完全に同期させるため19kHzのパイロット信号を送る必要があるわけである。

【0008】この19kHzのパイロット信号としては送信側で(L-R)のDSB信号を作るときに利用した38kHzを1/2に分周したものを送るわけであるから、受信側で別に38kHzを発振させ、この19kHzを基準に同期をとれば受信側での38kHzは送信側の38kHzと全く同じものとなるわけで、それを用いればまったく同じL信号、R信号を再成することができるわけである。この38kHzの搬送波のことを、メインの搬送波と区別するため副搬送波(Sub-carrier、サブキャリア)という。

【0009】このようにしてできたメイン信号、パイロット信号、をずらりと並べて総合してコンポジット信号という。これで搬送波をFMするのがFMステレオ送信ということになる。このコンポジット信号を合成するのがステレオ変調器(コンポジット信号発生器)である。図8は従来のステレオ変調器(コンポジット信号発生器)を示す回路ブロック図である。図で6013は位相器、6014は位相補償、6015は緩衝増幅、6016、6017は増幅、6018はプリエンファシス(50μS)である。L、R信号入力部6001を有し、プリエンファシス6002を有し、ダイオードマトリクス6003とサブキャリア38kHz発振器6005と1/2分周器(逡降)6007とフェーズシフタ(移相器)6008とスイッチング・パルス発生器6006とからなるステレオMPX(マルチプレクス)回路部(スイッチングマトリクス回路部)6004を有し、バッファアンプ(緩衝増幅)6009を有し、ローパスフィルター(LPF)6010を有し、アンプ(増幅)6011を有し、コンポジット信号出力端子(V<sub>OUT</sub>)6012を有する構成のTDM(Time Division Multiplex)方式のコンポジット信号発生器(ステレオ変調器)である。

【0010】図9(a)～(d)はDSB信号発生のための従来のステレオMPX回路部(図8、6004)の一例のダイオードマトリクスを使ったリング変調器の動

本回路である。T<sub>1</sub>の入力トランスには変調信号、この場合(L-R)のオーディオ信号を加える。そして出力トランスT<sub>2</sub>とのあいだにはダイオードが図のように挿入されている。そしてT<sub>1</sub>の2次側巻線の中点とT<sub>2</sub>の1次側巻線の中点とのあいだに副搬送波信号の38kHzを加える。このようにすると、結果的には図9(d)のようなDSB化された出力が得られる。まず、スイッチング信号に相当する38kHz副搬送波信号のプラス半サイクルのあいだは図7(b)のようにダイオードD<sub>1</sub>とD<sub>2</sub>が導通状態、D<sub>3</sub>、D<sub>4</sub>はオープン状態となる。このことは副搬送波信号の整流電流の方向を考えればわかる。このときT<sub>1</sub>1次側巻線に加えられた入力信号の極性がプラス側のときは、2次側に実線矢印の方向の電圧が誘起される(これは発生電圧の方向をベクトルで表示したもので、電流の方向ではない。念のため)。この電圧はその時点で導通状態にあるダイオードを導体と考えれば、そのままT<sub>2</sub>の1次側に接続された形となるから、T<sub>2</sub>の1次側にもおなじ方向の電圧が発生する。そして38kHzのプラス側サイクルのときだけ、その電圧が出力として2次側に誘起され、R<sub>L</sub>(負荷抵抗)の両端に生じる。

【0011】次に入力信号の波形がマイナス側になったときには、点線矢印に示される逆方向の電圧が誘起され、38kHzがプラス側サイクルのとき出力波形はマイナス側に出る。このことは、入力信号波形を38kHzのプラス・サイクルのときだけの周期で切りきざんだもの、スイッチングしたもの(このことを時分割という)となるわけである。38kHz副搬送波信号はT<sub>1</sub>2次側中点とT<sub>2</sub>1次側中点のあいだに加えているので、打ち消し合ってT<sub>2</sub>2次側には現われず、したがって出力には38kHz成分の電圧は生じない。つまり副搬送波の抑圧をしたことになるわけである。次に38kHzのマイナスの半サイクル時には、図9(c)のようにD<sub>1</sub>、D<sub>2</sub>はオープンにより、D<sub>3</sub>、D<sub>4</sub>が導通状態となるので図9(b)のときとはまったく逆に、マイナス・サイクルで切りきざんだ入力波形が倒立して出力して現われる。このときも38kHzはたがいに打ち消し合い、出力には生じない。以上の図9(b)、(c)は38kHzのプラスサイクル、マイナスのサイクル時に注目したもので実際には入力信号(L-R)のオーディオ信号)に比較して非常に早いスピードでプラス、マイナスを繰返しているわけなので、出力には図9(d)のような波形のものが出ることになる。これが(L-R)の入力信号を38kHzの副搬送波でスイッチングし、しかもその搬送波成分を取り除いた両側波帯なのである。もう一度整理してみると、38kHzという副搬送波信号によって作り出された50Hz～15kHzの(L-R)の上・下側波帯は、38kHz±15kHz=23kHz～53kHzのあいだに生じる。そして38kHz

圧搬送波方式によって作りだされたサブ信号となるわけである。こうしてできあがったサブ信号(L-R)と、メイン信号(L+R)と19kHzのパイロット信号は図8の回路ブロックで周波数的に並べられる、このことを合成するといひ、この状態での信号を合成信号(コンボジット信号)という。

#### 【0012】

【発明が解決しようとする課題】以上説明してきたように従来のコンボジット信号発生器(ステレオ変調器)の、特にDSB信号を発生するステレオマルチプレクス回路部は、複数のトランスやダイオードで構成されるため、部品点数が多く、コストが高くついたり小型化できないという問題やダイオードでの $V_F$ ドロップ分があり、信号変換効率が悪くしたがって回路が3Vとか5Vの低い電圧では動作が良くなかったり消費電流が多かったりという問題があるというものである。前述の回路では最低でも電源電圧5V以上、消費電流2mA以上が必要であった。

#### 【0013】

【課題を解決するための手段】かかる課題を解決するため本発明では以下の手段をとった。第1の手段として、CMOSインバータより構成される副搬送波発振回路部を有し、CMOSインバータとCMOS型アナログスイッチ(別名トランスミッションゲートとも言う)とで構成される分周回路部を有し、ステレオ信号入力端子(L、R)を有し、該入力L、R端子はそれぞれ固有のCMOS型アナログスイッチに接続され、該アナログスイッチのコントロール端子は該発振回路部よりLとRとでそれぞれ排他的位相の信号を与えられるように接続された構成を有し、L、Rミキサー回路部を有するステレオマルチプレクス回路部を構成したというものである。

【0014】第2の手段として、該ステレオマルチプレクス回路は前記CMOSインバータより構成される副搬送波発振回路部と前記CMOSインバータとCMOS型アナログスイッチより構成される分周回路部と前記L、R固有のCMOS型アナログスイッチを同一半導体基板内に構成した半導体集積回路装置を有する構成とするというものである。

【0015】第3の手段として、前記第1の手段ないし第2の手段のステレオマルチプレクス回路部を有し、前記L、R入力端子に容量結合で接続されるL、Rプリエンファシス回路部を有し、PILLOTミキサー回路部を有し、ローパスフィルター回路部を有する構成のステレオ変調器(コンボジット信号発生器)を構成したというものである。

【0016】第4の手段として、前記ステレオ変調器を有し、前記ローパスフィルター回路と容量結合で接続されるRF回路部を有し、アンテナを有し、該RF回路部のRFパワーラインはGNDに対してLEDを順方向に

ものである。第5の手段として、前記半導体集積回路内の副搬送波発振回路部のCMOSインバータをイネーブル機能およびイネーブル端子を有するクロックドインバータで構成するというものである。

#### 【0017】

【発明の実施形態】本発明の実施の形態を図面を用いた実施例で説明していく。図1は本発明実施例のステレオ変調送信器1001を示すシステムブロック図である。副搬送波(38kHz)発振回路部(OSC)1014とステレオ信号L(左)チャンネル用アナログスイッチ部1007とステレオ信号R(右)チャンネル用アナログスイッチ部1008と1/2(2分の1)分周回路部1015とステレオとモノ(モノラル、モノフォニック)を切り替えるスイッチ(SW)1016とLとR信号ミキサー部1009とからなる本発明実施例のステレオマルチプレクス(MPX)回路部(スイッチングマトリクス回路部)1003を有し、該ステレオマルチプレクス回路部とステレオ信号入力端子(L、R)1004とパイロット(PILLOT)信号ミキサー回路部1010とローパスフィルター(LPF)回路部1011とコンボジット信号出力端子( $V_{OUT}$ )1017とからなる本発明実施例のステレオ変調器(コンボジット信号発生器)1002を有し、該ステレオ変調器とRF回路部(電力増幅部)1012と送信アンテナ1013を有する構成の本発明実施例のステレオ変調送信器である。

【0018】図2～4は本発明実施例のステレオ変調送信器の詳細回路図である。図2のL、R入力端子2027からの信号ラインは1kΩのシリーズ(直列)抵抗(R)2024と4700PFのコンデンサ2023と該コンデンサと並列な24kΩの抵抗2025と該信号ラインにシリーズに挿入された2.2μFの電解コンデンサ2026よりなるプリエンファシス回路部(Lプリエンファシス1005およびRプリエンファシス1006)を介して、図3におけるL(チャンネル用)アナログスイッチ2002とR(チャンネル用)アナログスイッチ2004とモノラルミキシング用アナログスイッチ2003とからなるL、Rアナログスイッチ回路部2001に図のように結線される。このようにすることで従来のようなトランスを用いることなくしかも容量接続なのでアイソレーションは保ったままプリエンファシスが構成できることになる。

【0019】第1のインバータ2005と第2のインバータ2006と第3のインバータ2009と可変抵抗2008と帰還容量となる1000PF(マイラ)コンデンサ2007などからなる38kHz発振(OSC)回路部1014は該第2のインバータ2006の出力が該Lアナログスイッチ2002のコントロール端子(C端子)に入力され、該第3のインバータ2009の出力が該Rアナログスイッチ2004のコントロール端子に入

1と接続される。このようにすることで前述した手段で言うところの排他的コントロール信号が与えられる。しかも本発明ではそのコントロール信号が副搬送波の発振をそのまま使っているところに特徴がある。

【0020】該モノラルミキシング用アナログスイッチ2003のコントロール端子はスイッチ1016でMONO6が選択された時機能する、STFRE05が選択された時OFFとなる。アナログスイッチやインバータ回路における電源端子V<sub>DD</sub>及びGND端子は本図では簡単のため省いてある。詳しくは後述する。分周用アナログスイッチ2014と第4のインバータ2012と第5のインバータ2013と第6のインバータ2015と56kΩの抵抗(R)2011とコンデンサ(容量)2016などからなる1/2分周器1015はシリーズ容量2010を介して図のごとく該発振回路部1014と接続される。ここで抵抗(R)2011は56kΩであるが本回路動作上30kΩ以上70kΩ以下の必要がある。それ以外の範囲だと分周発振が安定しなくなる。コンデンサ2016はなくても良い。1/2分周器1015はこの他にFF(フリップフロップ)を用いた回路構成でもよい。図中2017の領域はL、Rミキサ及びパイロットミキサ回路部を表わす。図1の1009及び1010に相当する部分である。

【0021】該L、Rアナログスイッチ回路部2001と該38kHz発振(OSC)回路部1014と該1/2分周器1015と該L、Rミキサ回路部は図中領域1003で示したようにステレオマルチプレクス(MPX)回路部(スイッチングマトリクス回路部)を構成する。コンデンサ類2007、2010、2016や可変抵抗2008などを外付けする形で該回路は同一半導体基板内に構成されたCMOS型半導体集積回路であることが望ましい。小型化や低コスト化のためのみならず信号のノイズや発振の安定性の面で有利だからである。該プリエンファシス回路部1005および1006と該ステレオMPX回路部1003と該L、Rミキサ及びパイロットミキサ回路部2017とで構成される。

【0022】本発明ステレオ変調器(コンポジット信号発生器)1002はしたがって従来のようなトランスやダイオードに比べ、大巾な部品点数の削減のみならず、効率の向上(すなわち消費電流の低減)がはかれるものである。2022は電源で例えばマンガン電池LR44(1.5V/個)を2個用いればよい。本実施例で該ステレオ変調器の平均消費電流はV<sub>DD</sub>3Vの時約100μA以下となる。該ステレオ信号は該ステレオMPX回路部1003からVCDポイント2036を経て図示する回路のようにノード③2021で図4で示されるRF回路部1012へと接続される。ちなみにVCDポイントでのAFは、パイロット30mV〜50mV P-P、MPX最大0.2V P-Pとなる。RF回路部1012は

サ2028にてf<sub>0</sub>は76M〜83MHzの範囲で調整され、RFパワーライン2027(図3)が2.2Vの時、微弱(電波法規制で規定するところの“微弱”、すなわち3mで500μV以下の電界強度)送信時平均消費電流約1.8mAを示す。該RFパワーラインはLED(発光ダイオードTLR123)2055の順方向を用いて2.2Vの定電圧にクランプされる構成をとった。2051はバリキャップダイオード(1SV110)である。

10 【0023】こうすることで定電圧2.2Vを少ない消費電力で得る(ツェナーを使うと2.2Vなどの低い電圧のものは少なくとも数mA以上の逆方向電流を流さないと定電圧が安定しないからである)と同時に送信回路がONしているモニターランプも兼用することができるものである。該ステレオ変調器と該RF回路部1012とアンテナ2029とで本発明のステレオ変調送信器1001は構成されるものである。図5(a)〜(c)は本発明実施例のCMOSアナログスイッチの詳細を示す回路図である。図5(d)は本発明実施例のCMOSイン

20 バータの詳細を示す回路図である。図6は本発明回路図(図3)中、ノード①2018およびノード②2020における信号波形である。

【0024】図7は本発明回路図(図3)中ノード③2021およびノード④2019における信号波形である。図5(a)は本発明中、図3中にも使用しているCMOS型アナログスイッチのシンボルを表わしている。信号通過端子A3004と信号通過端子B3005とコントロール端子(C端子)3006から構成されている。

30 【0025】該シンボルをさらに詳しく描いたものが図5(b)である、C端子にはインバータ3001とインバータ3002とからなる波形整形用インバータと信号反転用インバータ3003とから構成されアクティブHiの動作をする。該構成をさらに詳しく(実体)描いたのが図5(c)であり、該信号通過端子A3004と該信号通過端子B3005の間にはトランジスタ基板(Sub)3010をGNDに接続された形のNチャネルMOSトランジスタ(NMOS)3009とトランジスタ基板(Sub)をV<sub>DD</sub>に接続された形のPチャネルMOSトランジスタ(PMOS)3008が図示するような結線で挿入された構成をとるものである。本発明実施例に必要な特性としてはV<sub>GS</sub>3Vの時ON抵抗300Ω以下であるから、例えばゲート(G)T<sub>ox</sub>350ÅでL長3μmならW長は300μm以上必要ということになる。

40 【0026】図5(d)は本発明中のインバータシンボルを詳しく描いたものだがPMOS3011とNMOS3012のそれぞれのゲート(G)、ドレイン(D)ソース(S)は図示したような結線構成をとっているもの

の第2の実施例を示す回路図である。図3におけるステレオMPX回路部1003をCMOS型集積回路で実現するための第2の実施例である。ここでは、各トランジスタのゲートのL長とW長、 $L/W$  ( $\mu m$ )はゲート酸化膜厚250Åのプロセスを想定して最適化してある。各入力・出力端子には対静電気対策として図示するように保護回路10007を具備し、38KHz発振回路部10005は発振を動作させたり停止させたりする機能(イネーブル機能)及びそれを外部から制御するための端子イネーブル端子(inv(EN)すなわちアクティブL(LOW, ロー))10008を具備し、1/2分周器回路部10006は、FF(フリップフロップ)を用いる構成としたものである。モノラルミキシング用アナログスイッチ部SW2, 10003およびRアナログスイッチ部SW3, 10004の図中の上向きの矢印はLアナログスイッチ部SW1, 10002内の回路図と同様という意味である。

【0027】図11は本発明実施例のステレオMPX回路部の第2の実施例中の38KHz発振回路部11001を示す回路図である。図10で説明したイネーブル機能を実現する具体的回路図である。発振用CMOSインバータ1, 11002およびインバータ2, 11003、インバータ3, 11004をいずれもEN(イネーブル)用PMOSTランジスタ11009とENX(イネーブルバー; inv(EN)と同意)用NMOSTランジスタ11010が図示するように付加された形のクロックドインバータ構成とし、該EN, ENX用各トランジスタのゲート端子に電位を与える(ゲートをたたく)イネーブル端子ENX( $ENX = inv(EN)$ ), アクティブL)11008を図示するような電氣的結線構成で有するものとした。このような構成をとること電源スイッチをオフしてもいつまでも不要な発振が続いたりするようなことを防止でき、より現実的な回路構成とすることができる。11002は対静電気保護回路部、11005はOR回路、11006はインバータ4, 11007はインバータ5である。前述したようにクロックドインバータを発振に使用したため、図3におけるインバータ2, 2006やインバータ3, 2009を介してLアナログスイッチ部およびRアナログスイッチ部のコントロール端子に送出されるそれぞれ排他的位相の信号は、本例では該OR回路11005、インバータ4, 11006、インバータ5, 11007を介して図示した回路構成にて生成され、同様送出される。

【0028】図12は本発明実施例のステレオMPX回路部の第2の実施例中の1/2分周器回路部12001を示す回路図である。該回路部内のT端子12003とTX端子12004とQ端子12005を有するT-FF回路部12002は複数種類のインバータが結線回路図12009のように結線された構成を有しQ端子12

ンバータを示すシンボル図、12007はTX型インバータを示すシンボル図、12008は通常型インバータを示すシンボル図である。T型インバータ内部の回路図を12010、TX型インバータ内部の回路図を12011に示す。それぞれ図示するようにT端子12003、TX端子12004へ接続される構成をとるものである。ここで示したT-FFを用いた1/2分周器回路部の構成例は本第2実施例のステレオMPX回路部固有の構成ではなく、先に図3で説明した構成のステレオMPX回路部に適用してももちろん有効である。

#### 【0029】

【発明の効果】以上説明してきたように本発明によれば小型、低価格、低電圧、低消費電力で動作可能なFMコンボジット回路を実現でき、同様にFMステレオ変調送信器が実現できるものである。本発明ではこれまでオーディオ信号、左・右の音楽信号でメリットを説明してきたが、この他に電波に多重させる文字情報や時刻信号などでも同様効果的であることは言うまでもない。

#### 【図面の簡単な説明】

【図1】本発明実施例のステレオ変調送信器1001を示すシステムブロック図である。

【図2】本発明実施例のステレオ変調送信器の詳細回路図である。

【図3】本発明実施例のステレオ変調送信器の詳細回路図である。

【図4】本発明実施例のステレオ変調送信器の詳細回路図である。

【図5】(a)~(c)は本発明実施例のCMOSアナログスイッチの詳細を示す回路図である。(d)は本発明実施例のCMOSインバータの詳細を示す回路図である。

【図6】本発明回路図(図2)中ノード①2018およびノード②2020における信号波形である。

【図7】本発明回路図(図2)中ノード③2021およびノード④2019における信号波形である。

【図8】従来のステレオ変調器(コンボジット信号発生器)を示す回路ブロック図である。

【図9】(a)~(d)はDSB信号発生のための従来のステレオMPX回路部(図6、6004)の一例のダイオードマトリクスを使ったリング変調器の動作を示す回路図である。

【図10】本発明実施例のステレオMPX回路部の第2の実施例を示す回路図である。

【図11】本発明実施例のステレオMPX回路部の第2の実施例中の38KHz発振回路部を示す回路図である。

【図12】本発明実施例のステレオMPX回路部の第2の実施例中の1/2分周器回路部を示す回路図である。

#### 【符号の説明】

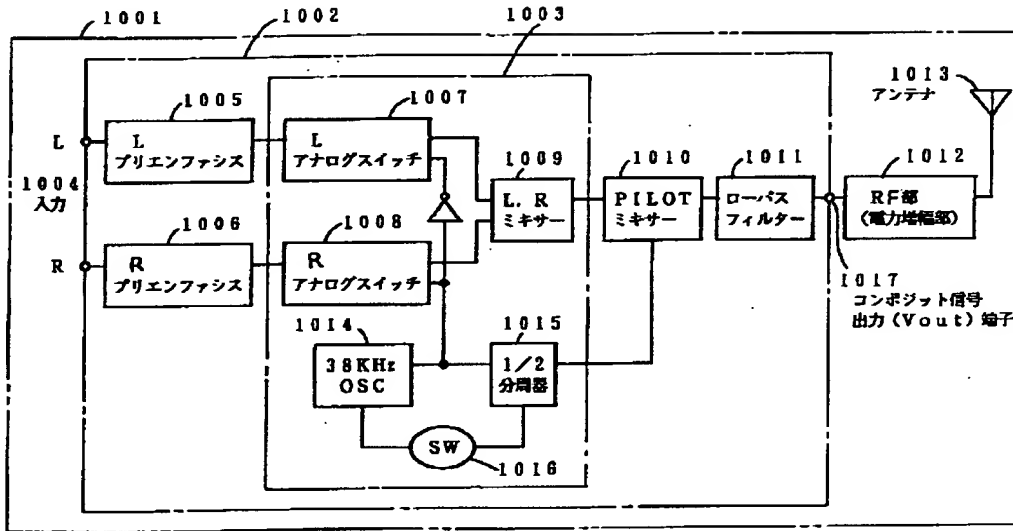
11

12

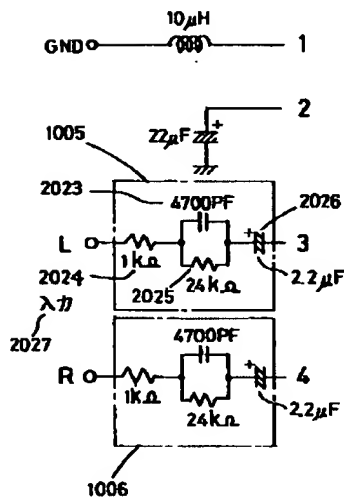
2003 モノラルミキシング用アナログスイッチ  
 2004 Rアナログスイッチ  
 2005 第1のインバータ  
 2006 第2のインバータ

2009 第3のインバータ  
 2023 1.5k $\Omega$ 抵抗  
 2022 電源(電池)  
 2052 V<sub>DD</sub>ライン

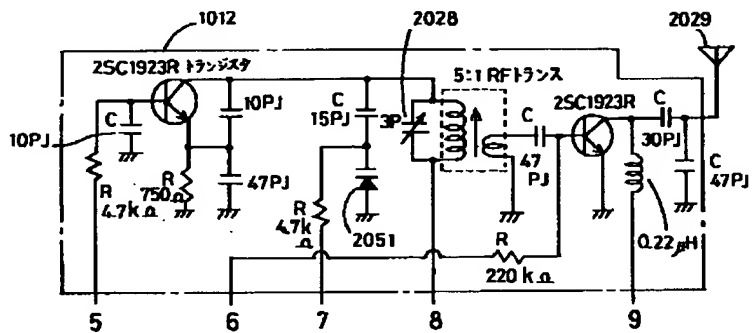
【図1】



【図2】



【図4】



【图9】

Figure 1 consists of three schematic diagrams labeled (a), (b), and (c).  
 (a) Input stage: Shows two input terminals, 3004 (Signal Terminal A) and 3005 (Signal Terminal B). Terminal A is connected to inverter 3001. Terminal B is connected to inverter 3002. The outputs of these inverters are connected to the gates of the PMOS and NMOS transistors in stage (c).  
 (b) Inverter stage: Shows two inverters, 3003 and 3004, connected in series. The output of inverter 3003 is connected to the gate of inverter 3004. The output of inverter 3004 is connected to the gate of inverter 3003. This configuration is used for signal inversion and buffering.  
 (c) Output stage: Shows a PMOS transistor 3008 and an NMOS transistor 3009. The gates of both transistors are connected to the input signals from stage (a). The drain of the PMOS transistor 3008 is connected to VDD, and the drain of the NMOS transistor 3009 is connected to GND. The source of the PMOS transistor 3008 is connected to the source of the NMOS transistor 3009, which is connected to the output terminal 3005.

(d)

Pチャネル MOSトランジスタ 3011

Nチャネル MOSトランジスタ 3012

VDD

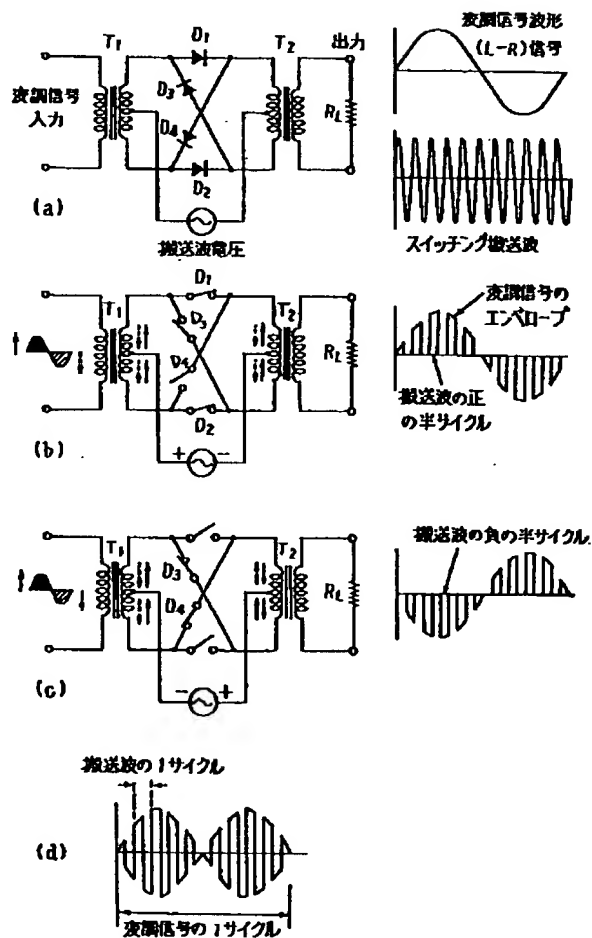
GND

IN

OUT

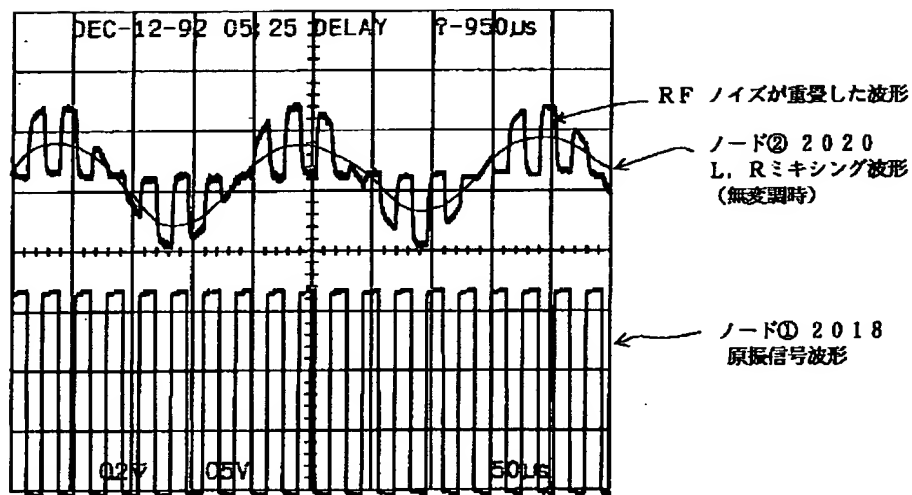
IN

OUT

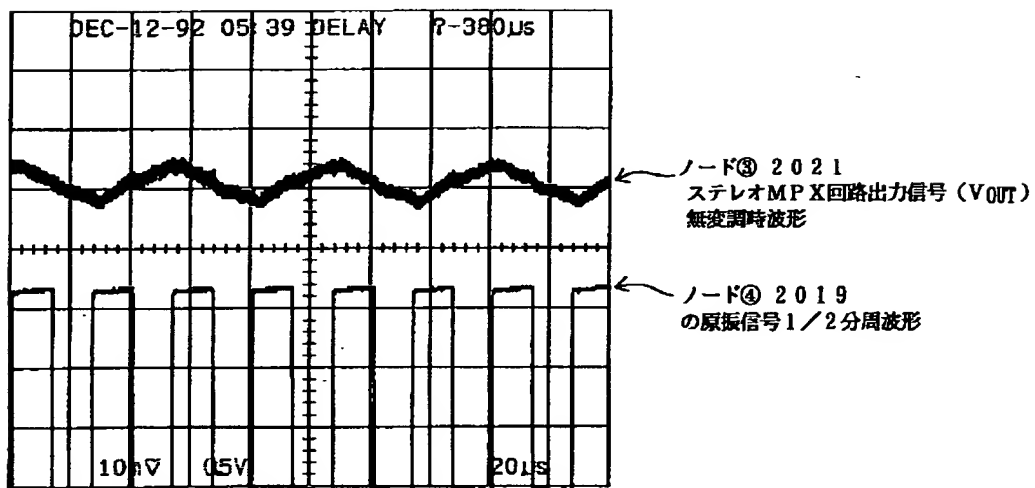




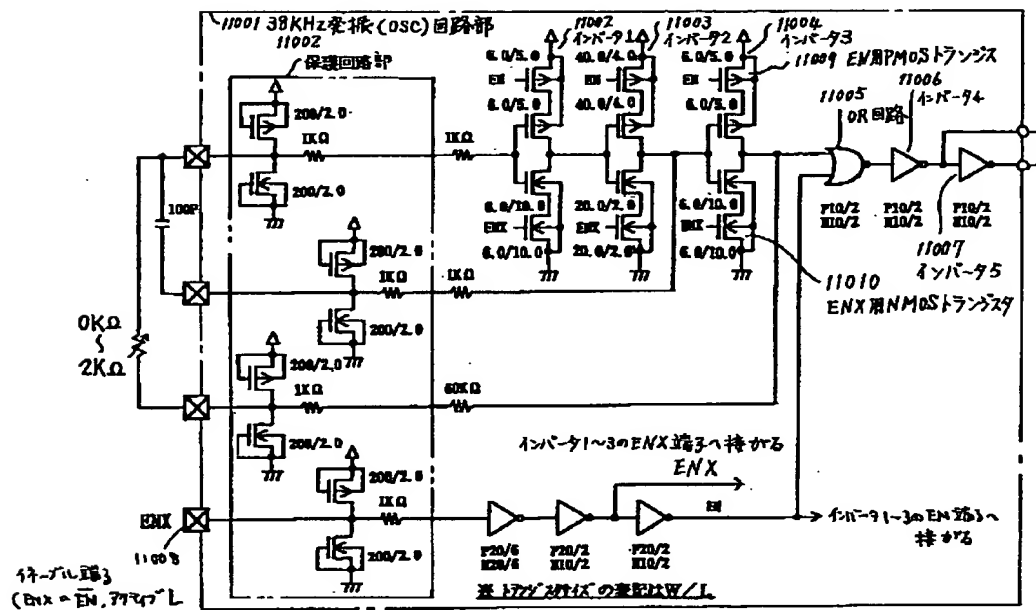
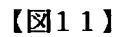
【図6】



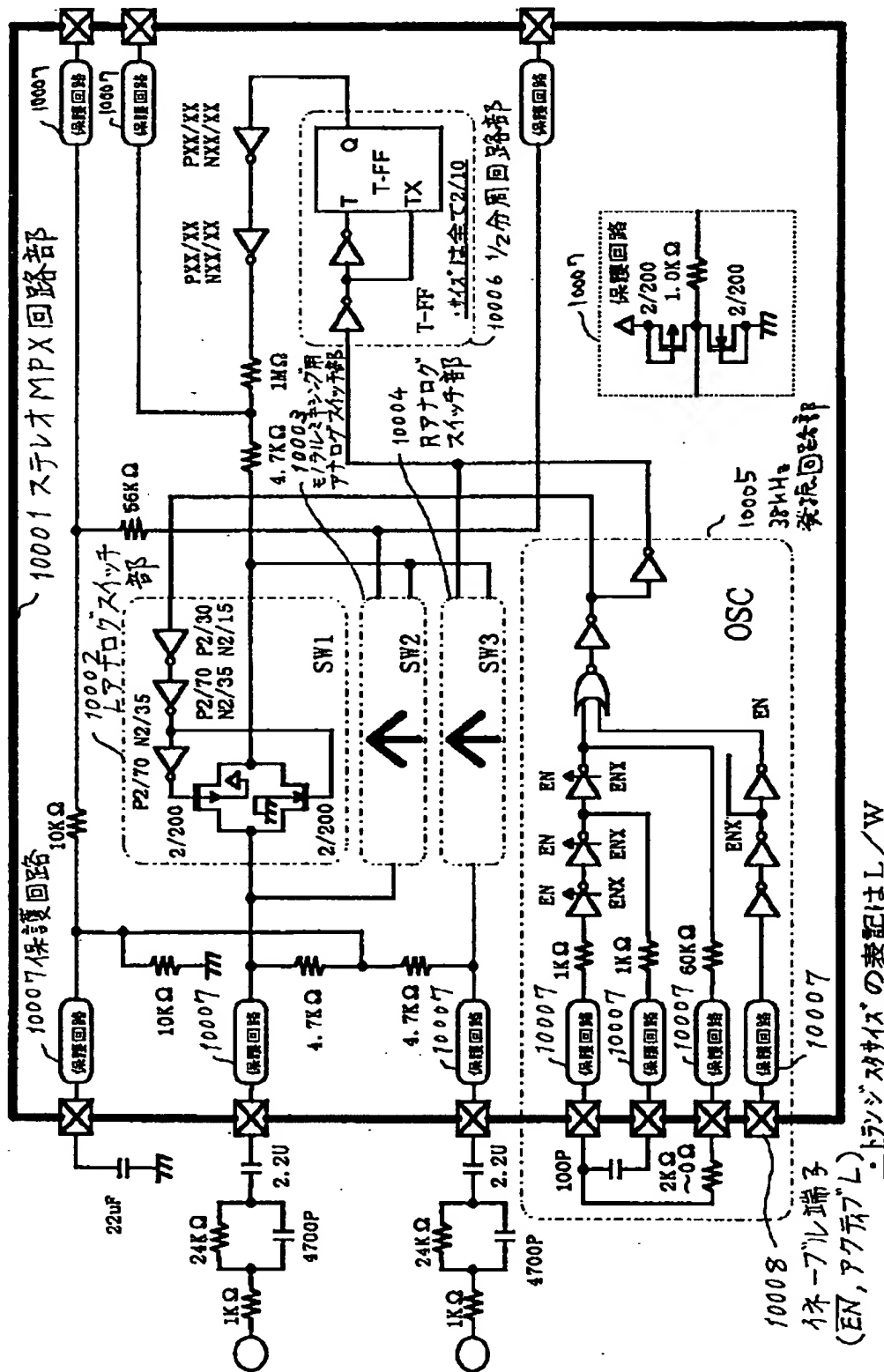
【図7】



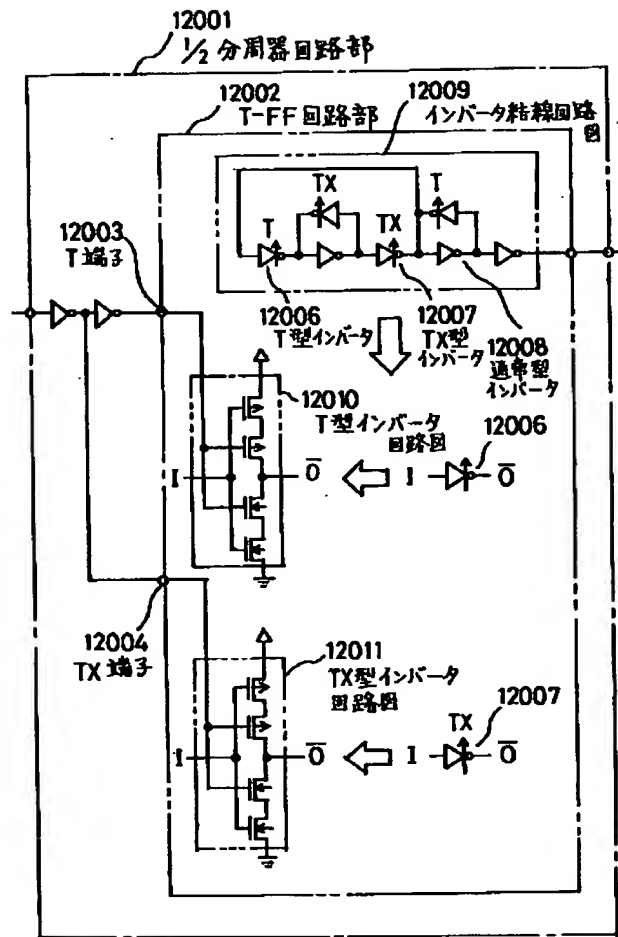
004 ステレオ MPX (マルチプレクス) 回路部  
(スイッチングマトリックス回路部)



【図10】



【図12】



CLIPPEDIMAGE= JP410013370A  
PAT-NO: JP410013370A  
DOCUMENT-IDENTIFIER: JP 10013370 A  
TITLE: STEREO MULTIPLEX CIRCUIT, FM STEREO MODULATOR USING  
THE CIRCUIT AND  
MODULATION TRANSMITTER

PUBN-DATE: January 16, 1998

INVENTOR-INFORMATION:

NAME

SAITO, YUTAKA

OZAKI, YOSHISHIGE

NARUKAWA, TOSHIAKI

ASSIGNEE-INFORMATION:

NAME

KK S I I R D CENTER

COUNTRY

N/A

APPL-NO: JP09084178

APPL-DATE: April 2, 1997

INT-CL\_(IPC): H04H005/00

ABSTRACT:

PROBLEM TO BE SOLVED: To realize an FM composite circuit with a small size at a low cost and operated at a low voltage and low power consumption by providing a frequency divider circuit section consisting of a CMOS inverter and a CMNOS analog switch.

SOLUTION: This transmitter is provided with a frequency divider circuit section consisting of a CMOS inverter and a CMOS analog switch. In this case, the frequency divider circuit section is provided with a stereo multiplex (MPX) circuit section (switching matrix circuit section 1003, and a stereo modulator (composite signal generator) 1002. Then an output of a 2nd inverter of a 38kHz oscillation (OSC) circuit 1014 is given to a control (C)

terminal of an L  
analog switch and an output of a 3rd inverter is given to a  
control terminal of  
an R analog switch, then the circuit 1014 is connected to  
L, R switch circuit  
sections. Thus, an exclusive control signal is provided.  
Thus, number of  
components of the stereo modulator 1002 is reduced and the  
efficiency is  
improved (power consumption is reduced).

COPYRIGHT: (C)1998,JPO